

(19)日本国特許庁 (J P)

(12) 公 開 特 許 公 報 (A)

(11)特許出願公開番号

特開平10-214065

(43)公開日 平成10年(1998) 8月11日

(51)Int.Cl.⁸
G 0 9 G 3/36
G 0 2 F 1/13
1/133
G 0 9 F 9/30

識別記号
1 0 1
5 0 5
3 3 8

F I
G 0 9 G 3/36
G 0 2 F 1/13
1/133
G 0 9 F 9/30

審査請求 未請求 請求項の数16 FD (全 18 頁)

(21)出願番号 特願平9-29568

(22)出願日 平成9年(1997) 1月29日

(71)出願人 000002369

セイコーエプソン株式会社

東京都新宿区西新宿2丁目4番1号

(72)発明者 松枝 洋二郎

長野県諏訪市大和3丁目3番5号 セイコ
ーエプソン株式会社内

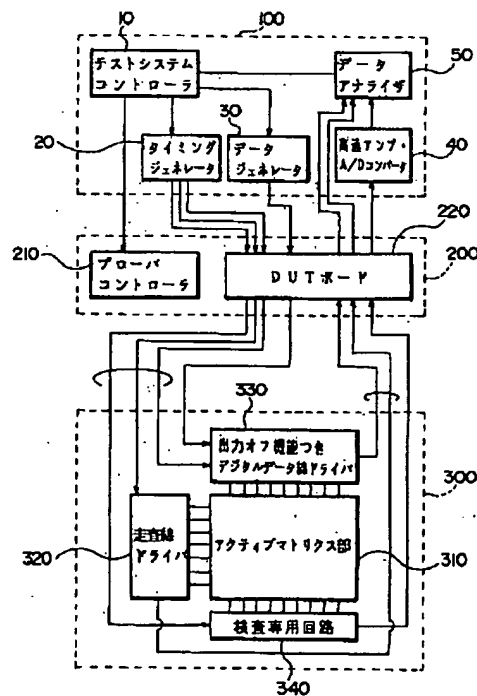
(74)代理人 弁理士 井上 一 (外2名)

(54)【発明の名称】 アクティブマトリクス基板の検査方法、アクティブマトリクス基板、液晶装置および電子機器

(57)【要約】

【課題】 本発明の目的の一つは、デジタルドライバを搭載したアクティブマトリクス基板の検査技術を確認することである。

【解決手段】 出力端をハイインピーダンス状態とすることができる機能をもつ、データ線を駆動するためのデジタルドライバ(330)と、データ線の、前記デジタルドライバとは反対側の端に設けられた検査回路(340)とを設ける。検査回路(340)は、複数のデータ線の各々毎に設けられた双方向性スイッチと、そのスイッチの開閉を制御する制御手段とをもつ。データ線の反対側に設けられた検査回路を用いて、データ線の断線やデジタルドライバ出力の検査の他、点欠陥の有無も判定できるようになる。また、検査専用の回路としたために極めて小型であり、この回路は、デッドスペースに配置することも可能である。



【特許請求の範囲】

【請求項1】 複数の走査線および複数のデータ線と、出力端をハイインピーダンス状態とすることができる機能をもつ、前記複数のデータ線を駆動するためのデジタルドライバと、一本の走査線および一本のデータ線に接続されたスイッチ素子と、前記スイッチ素子の各々に接続された容量と、前記データ線の、前記デジタルドライバとは反対側の端に設けられた検査回路と、を有し、前記検査回路は、前記複数のデータ線の各々毎に設けられた双方向性スイッチと、そのスイッチの開閉を制御する制御手段とを具備することを特徴とするアクティブマトリクス基板。

【請求項2】 請求項1において、前記検査回路を構成する素子は、前記デジタルドライバを構成する素子と共に、同じ製造プロセスにより製造されたことを特徴とするアクティブマトリクス基板。

【請求項3】 請求項1または請求項2において、前記デジタルドライバは、その出力部にスイッチを具備し、そのスイッチを開状態とすることによって出力端をハイインピーダンス状態とすることを特徴とするアクティブマトリクス基板。

【請求項4】 請求項1～請求項3のいずれかにおいて、前記デジタルドライバは、容量分割方式のD/A変換器、抵抗分割方式のD/A変換器、PWM方式のD/A変換器のいずれかを具備することを特徴とするアクティブマトリクス基板。

【請求項5】 請求項1～請求項4のいずれかにおいて、前記検査回路の前記制御手段は、前記双方向性スイッチを点順次で走査することを特徴とするアクティブマトリクス基板。

【請求項6】 請求項1～請求項4のいずれかにおいて、前記検査回路の前記制御手段は、前記双方向性スイッチの数をM個（Mは2以上の自然数）とした場合に、P個（Pは自然数）の双方向性スイッチの一括した駆動をQ回（Qは自然数）繰り返して、合計でM個（ $M = P \times Q$ ）の双方向性スイッチを駆動することを特徴とするアクティブマトリクス基板。

【請求項7】 請求項1～請求項6のいずれかにおいて、前記検査回路の少なくとも一部は、アクティブマトリクス基板の、画像表示等の本質的機能の実現に寄与しないスペースに配置されていることを特徴とするアクティブマトリクス基板。

【請求項8】 請求項7において、前記検査回路は、パネル工程における封止材による封止

位置に配置されていることを特徴とするアクティブマトリクス基板。

【請求項9】 請求項1～請求項8のいずれかにおいて、前記検査回路および前記デジタルドライバはそれぞれ、アクティブマトリクス基板上において、複数の分割されて配置されていることを特徴とするアクティブマトリクス基板。

【請求項10】 請求項9において、前記検査回路は、少なくとも第1の検査回路と第2の検査回路とに分割され、前記デジタルドライバは、少なくとも第1のデジタルドライバと第2のデジタルドライバとに分割され、

データ線を挟んで前記第1のデジタルドライバと前記第1の検査回路とが対峙して配置され、また、データ線を挟んで前記第2のデジタルドライバと前記第2の検査回路とが対峙して配置され、

かつ、前記第1のデジタルドライバと前記第2の検査回路とはデータ線の同じ側の端部に配置され、前記第2のデジタルドライバと前記第1の検査回路とはデータ線の同じ側の端部に配置されていることを特徴とするアクティブマトリクス基板。

【請求項11】 請求項1～請求項10のいずれかに記載のアクティブマトリクス基板の検査方法であって、前記デジタルドライバにより前記データ線を駆動して、前記スイッチ素子に接続されている前記容量に信号の書き込みを行うステップと、前記デジタルドライバの出力をハイインピーダンス状態とするステップと、前記検査回路により前記容量に書き込まれた前記信号を讀出して検査の基礎となる基礎信号を取得し、その取得された基礎信号に基づいてアクティブマトリクス部の検査を行うことを特徴とするアクティブマトリクス基板の検査方法。

【請求項12】 請求項11において、請求項11に記載の各ステップの実行に先立ち、前記デジタルドライバ自体の検査ならびに前記データ線の断線検査を行うことを特徴とするアクティブマトリクス基板の検査方法。

【請求項13】 請求項11において、前記取得された基礎信号に基づくアクティブマトリクス部の検査の工程は、前記基礎信号の特性の、アクティブマトリクス部における2次元的な分布を考察するステップを含むことを特徴とするアクティブマトリクス基板の検査方法。

【請求項14】 請求項11において、前記取得された基礎信号に基づくアクティブマトリクス部の検査の工程は、前記取得された基礎信号を、予め用意されているサンプル信号と比較するステップを含むことを特徴とするアクティブマトリクス基板の検査方法。

【請求項15】請求項1～請求項10のいずれかに記載のアクティブマトリクス基板を用いて構成された液晶装置。

【請求項16】請求項15に記載の液晶装置を用いて構成された電子機器。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、アクティブマトリクス基板の検査方法、アクティブマトリクス基板、液晶装置および電子機器に関し、特に、基板上に、デジタル方式のデータ線ドライバ（デジタル信号を入力とし、D/A変換してアナログ信号を出力し、これによりデータ線を駆動するドライバ：以下、デジタルドライバという）が形成されているタイプのアクティブマトリクス基板の検査技術に関するものである。

【0002】

【背景技術】走査線やデータ線の駆動回路（ドライバ）を基板上に形成した、ドライバ内蔵型のアクティブマトリクス基板およびこれを用いた液晶表示装置について、近年活発な研究がなされている。このようなアクティブマトリクス基板は、例えば、低温ポリシリコン技術を用いて製造される。

【0003】上述のアクティブマトリクス基板を用いた製品を実際に市場に投入するためには、信頼性保証の見地から、基板形成後であってパネル組立前に良品／不良品の検査を正確に行う必要がある。

【0004】

【発明が解決しようとする課題】本発明者の検討によると、上述の検査としては、大別して、ドライバ自体の出力能力チェックやデータ線の断線検出といった基礎的検査と、画素を構成するスイッチング素子（TFTやMIM等）の特性や蓄積容量のリーク特性といったアクティブマトリクス部の点欠陥の検査とが必要である。

【0005】データ線を駆動するためのデジタルドライバ（すなわち、デジタルデータ線ドライバ）の場合、デジタルデータの蓄積（ストア）の容易性に着目して所定のタイミングで一括して駆動する方式（線順次駆動方式）が採用されている。

【0006】このようなデジタル線順次駆動のドライバを内蔵した表示装置は現在実用化されておらず、いかにして上述のような高信頼度の検査を行うかは不明である。

【0007】したがって、本発明の目的の一つは、デジタルドライバを搭載したアクティブマトリクス基板の検査技術を確立し、高信頼度の基板や表示装置等を市場に投入できるようにすることにある。

【0008】

【課題を解決するための手段】上述した課題を解決する本発明は、以下のような構成をしている。

【0009】（1）請求項1に記載の本発明は、複数の

走査線および複数のデータ線と、出力端をハイインピーダンス状態とすることができる機能をもつ、前記複数のデータ線を駆動するためのデジタルドライバと、一本の走査線および一本のデータ線に接続されたスイッチ素子と、前記スイッチ素子の各々に接続された容量と、前記データ線の、前記デジタルドライバとは反対側の端に設けられた検査回路と、を有し、前記検査回路は、前記複数のデータ線の各々毎に設けられた双方向性スイッチと、そのスイッチの開閉を制御する制御手段とを具備する。

【0010】データ線のデジタルドライバは、出力部にD/A変換器をもつため、一度出力した信号を、共通の経路を介して再び読み込んでアクティブマトリクス部の検査（点欠陥の測定）を行うことはできない。

【0011】しかし、本請求項の発明では、データ線の、デジタルドライバの反対側の端に検査回路が設けられているために、デジタルドライバでデータ線を駆動してアクティブマトリクス部の容量（蓄積容量）に信号を書き込み、その書き込んだ信号を検査回路を介して読み出すことができる。したがって、アクティブマトリクス部の点欠陥の有無を判別できるようになる。

【0012】検査回路を用いた信号の読み出しのときに、デジタルドライバの出力（A/D変換出力）がオンとなっている場合には、蓄積容量から読み出した信号による欠陥判定が担保されないため、点欠陥判定のための基礎信号の取得のステップでは検査回路の出力をオフする（ハイインピーダンスとする）ことが必要になる。よって、本請求項のデジタルドライバには、出力をハイインピーダンス状態とすることができる機能が付与されている。

【0013】また、検査回路は、検査に用いられる回路であるため、デジタルドライバのような高速動作が不要であり、例えば、検査可能な最小限の機能さえ有すればよい。したがって、本請求項の発明では、デジタルドライバは、双方向性スイッチ（例えばアナログスイッチ）と、そのスイッチの開閉を制御する制御手段とをもつ構成となっている。回路構成が簡単であり、高度な動作特性が要求されないためにトランジスタのサイズも小さくて済み、省スペース化に適している。したがって、その検査回路を、アクティブマトリクス基板上に搭載することは十分に可能である。

【0014】なお、「検査回路」の意味は、検査を主目的として用いられる回路であって、データ線ドライバのようにデータ線をドライブする機能を有さないという意味であり、検査以外の目的のために使用することや、検査以外の目的で使用できる構成を含むことを排除する意味ではない。

【0015】（2）請求項2に記載の本発明は、請求項1において、前記検査回路を構成する素子は、前記デジタルドライバを構成する素子と共に、同じ製造プロセス

により製造されたことを特徴とする。

【0016】一つのアクティブマトリクス基板上において、デジタルドライバおよび検査回路を同一のプロセスにより製造するものである。例えば、低温ポリシリコン薄膜トランジスタ(TFT)技術を用いて製造することができる。

【0017】(3)請求項3に記載の本発明は、請求項1または請求項2において、前記デジタルドライバは、その出力部にスイッチを具備し、そのスイッチを開状態とすることによって出力端をハイインピーダンス状態とすることを特徴とする。

【0018】デジタルドライバの出力をハイインピーダンス状態とするために、出力部にスイッチを設けたものである。

【0019】(4)請求項4に記載の本発明は、請求項1～請求項3のいずれかにおいて、前記デジタルドライバは、容量分割方式のD/A変換器、抵抗分割方式のD/A変換器、PWM方式のD/A変換器のいずれかを具備することを特徴とするものである。

【0020】本発明のアクティブマトリクス基板上に搭載可能なD/A変換器の例を示したものである。

【0021】容量分割方式のD/A変換器は、例えば、重みづけされた各容量毎にスイッチが設けられ、スイッチの開閉制御によって、結合容量に各容量の電荷を合成して変換電圧を発生させる。

【0022】抵抗分割方式のD/A変換器は、例えば、出力経路に介在するスイッチの開閉を制御することによって、抵抗分圧された電圧を選択的に取り出し、変換電圧を発生させる。

【0023】PWM方式のD/A変換器は、例えば、時間的に電圧値が変化する(ランプ波)電圧源に接続されたスイッチのオン時間をデジタルデータ値に応じて制御して変換電圧を発生させる。

【0024】(5)請求項5に記載の本発明は、請求項1～請求項4のいずれかにおいて、前記検査回路の前記制御手段は、前記双方向性スイッチを点順次で走査することを特徴とする。

【0025】検査回路が、例えば、シフトレジスタ等を用いた点順次のデータ線スキャン機構をもち、点順次にデータを読出して検査を行うものである。

【0026】(6)請求項に記載の本発明は、請求項1～請求項5のいずれかにおいて、前記検査回路の前記制御手段は、前記双方向性スイッチの数をM個(Mは2以上の自然数)とした場合に、P個(Pは自然数)の双方向性スイッチの一括した駆動をQ回(Qは自然数)繰り返して、合計でM個($M=P \times Q$)の双方向性スイッチを駆動することを特徴とする。

【0027】点順次スキャンとは異なる方式の検査回路である。

【0028】(7)請求項7に記載の本発明は、請求項

1～請求項6のいずれかにおいて、前記検査回路の少なくとも一部は、アクティブマトリクス基板の、画像表示等の本質的機能の実現に寄与しないスペースに配置されていることを特徴とする。

【0029】検査回路は、上述のようにトランジスタのサイズが小さく、占有面積が少なくてもすむため、少なくともその一部は、アクティブマトリクス基板の、画像表示等の本質的機能の実現に寄与しないスペース、すなわち、いわゆるデッドスペースに配置することも可能となる。よって、アクティブマトリクス基板や液晶表示装置の大型化を抑制できる。

【0030】(8)請求項8に記載の本発明は、請求項7において、前記検査回路は、パネル工程における封止材による封止位置に配置されていることを特徴とする。

【0031】パネル工程において、封止材により封止されるであろう位置は、アクティブマトリクス基板において必然的に生じるデッドスペースである。このスペースに検査回路を配置して、スペースの有効利用を図るものである。

【0032】(9)請求項9に記載の本発明は、請求項1～請求項8のいずれかにおいて、前記検査回路および前記デジタルドライバはそれぞれ、アクティブマトリクス基板上において、複数に分割されて配置されていることを特徴とする。

【0033】回路を分割して配置することにより、デッドスペースのさらなる有効利用が可能となる場合がある。また、分割した分だけ、一つのブロックにおける素子数が減少し、ゆとりのあるレイアウト設計が可能となる。また、素子数が減った分だけ、シフトレジスタ等の直列的に動作する回路の動作周波数も低減できる。

【0034】(10)請求項10に記載の本発明は、請求項9において、前記検査回路は、少なくとも第1の検査回路と第2の検査回路とに分割され、前記デジタルドライバは、少なくとも第1のデジタルドライバと第2のデジタルドライバとに分割され、データ線を挟んで前記第1のデジタルドライバと前記第1の検査回路とが対峙して配置され、また、データ線を挟んで前記第2のデジタルドライバと前記第2の検査回路とが対峙して配置され、かつ、前記第1のデジタルドライバと前記第2の検査回路とはデータ線の同じ側の端部に配置され、前記第2のデジタルドライバと前記第1の検査回路とはデータ線の同じ側の端部に配置されていることを特徴とする。

【0035】分割された同種の回路(第1の回路および第2の回路)のそれぞれを、データ線を介して互いに反対側に配置するレイアウトをとるものである。

【0036】アクティブマトリクス基板面の上下に回路が分散されるために、表示領域の周囲に存在するデッドスペースを有効に利用し易くなる。特に、封止位置のデッドスペースは、基板の周囲(上下)に均等に存在するので、このスペースの有効利用をめざす場合に有利であ

る。

【0037】また、回路が分割されているため、分割数に応じて、一つの回路ブロック内の素子数が少なくなり、余裕のあるレイアウトが可能となる。また、素子数が減った分だけ、シフトレジスタ等の直列的に動作する回路の動作周波数を低減することもできる。

【0038】(11)請求項11に記載の本発明は、請求項1～請求項10のいずれかに記載のアクティブマトリクス基板の検査方法であって、前記デジタルドライバにより前記データ線を駆動して、前記スイッチ素子に接続されている前記容量に信号の書き込みを行うステップと、前記デジタルドライバの出力をハイインピーダンス状態とするステップと、前記検査回路により前記容量に書き込まれた前記信号を読み出して検査の基礎となる基礎信号を取得し、その取得された基礎信号に基づいてアクティブマトリクス部の検査を行うことを特徴とする。

【0039】請求項1～請求項10に記載のアクティブマトリクス基板を用いて、アクティブマトリクス部の検査を行う、基本的な方法である。

【0040】(12)請求項12に記載の本発明は、請求項11において、請求項11に記載の各ステップの実行に先立って、前記デジタルドライバ自体の検査ならびに前記データ線の断線検査を行うことを特徴とする。

【0041】アクティブマトリクス部の検査以前に、デジタルドライバ自体の出力特性ならびにデータ線の断線を検査するもの(予備的検査)である。

【0042】上述した本発明のアクティブマトリクス基板では、データ線を挟んで、デジタルドライバに対向して検査回路が設けられているので、デジタルドライバにより各データ線を例えば1回だけ線順次駆動し、そのスキャンに同期させて検査回路を線順次あるいは点順次でスキャンし、データ線を介して送られてくる信号を受信すれば、受信の有無ならびに受信信号の振幅等により、容易に予備的な検査ができる。

【0043】(13)請求項13に記載の本発明は、請求項11において、前記取得された基礎信号に基づくアクティブマトリクス部の検査の工程は、前記基礎信号の特性の、アクティブマトリクス部における2次元的な分布を考察するステップを含むことを特徴とする。

【0044】アクティブマトリクス部の検査のために取得される基礎信号には、多くの場合、相当のノイズが含まれている。したがって、信号の特性の絶対値のみならず、信号の特性の分布の異常(例えば、周囲に比べて特異的に異常を示す特定の部分がある等)も考慮して相対的な検査を行うことが有効である。

【0045】(14)請求項14に記載の本発明は、請求項11において、前記取得された基礎信号に基づくアクティブマトリクス部の検査の工程は、前記取得された基礎信号を、予め用意されているサンプル信号と比較するステップを含むことを特徴とする。

【0046】サンプル信号との比較により検査を行う方法である。

【0047】(15)請求項15に記載の本発明は、請求項1～請求項10のいずれかに記載のアクティブマトリクス基板を用いて構成された液晶装置である。

【0048】所定の検査をパスした、信頼性の高い液晶装置である。

【0049】(16)請求項16に記載の本発明は、請求項15に記載の液晶装置を用いて構成された電子機器である。

【0050】液晶装置の信頼性が高いため、電子機器の信頼性も向上する。

【0051】

【発明の実施の形態】次に、本発明の実施の形態について図面を参照して説明する。

【0052】(第1の実施の形態)

(1)検査システムとその動作の概要

図1は、本発明のアクティブマトリクス基板の検査方法を実行するための装置の全体構成を示す図である。

【0053】本実施の形態では、画素部のスイッチ素子が薄膜トランジスタ(TFT)からなるアクティブマトリクス基板(以下、TFT基板という)の検査を行う場合について説明する。

【0054】図1において、TFT基板テスト100は、検査動作を統括的に制御するテストシステムコントローラ10と、各種のタイミング信号を生成するタイミングジェネレータ20と、検査用のデータを出力するデータジェネレータ30と、高速のアンプおよびA/Dコンバータ50と、そのA/Dコンバータから出力されるデータを入力として所定の解析を行うデータアナライザ50とを有している。

【0055】また、フルオートプローバ200は、プローバコントローラ210と、各種信号のインタフェースとなるDUTボード220とを有している。

【0056】また、TFT基板300は、アクティブマトリクス部と、走査線ドライバ320と、出力オフ機能付きデジタルデータ線ドライバ(以下、単にデジタルデータ線ドライバという)330と、検査回路340とを具備している。なお、出力オフ機能とは、出力を強制的にハイインピーダンス状態にできる機能である。検査の際には、フルオートプローバのプローブ(検査端子、図1では図示されない)は、TFT基板300の露出している所定の端子(図1では図示されない)に接続される。

【0057】そして、テストシステムコントローラ10の統括制御の下で、TFT基板テスト100内のタイミングジェネレータ20およびデータジェネレータ30から、タイミング信号と検査データが出力される。これらは、フルオートプローバ200のDUTボード220を介してTFT基板300に送られる。

【0058】タイミング信号は、TFT基板300内の走査線ドライバ320、デジタルデータ線ドライバ330、検査回路340にそれぞれ入力され、また、検査データはデジタルデータ線ドライバ330に入力される。

【0059】そして、所定の検査工程を経た後（検査動作の詳細については後述する）、検査回路340から、取得された検査の基礎となるアナログ信号（以下、基礎信号という）が出力され、この基礎信号は、フルオートプローバ200内のDUTボード220を介してTFTテスト100に送られる。そして、TFTテスト100内の高速アンプ、A/Dコンバータ50により増幅ならびにA/D変換され、その変換されたデータは、データアナライザ50に入力され、所定の解析がなされる。

【0060】(2) TFT基板300上に構成される回路の概要

図2に、図1に示されるTFT基板300の具体的な構成例が示される。図1に示される検査システムを用いた検査を可能とするためには、TFT基板300もいくつかの要件を具備する必要がある。

【0061】つまり、デジタルデータ線ドライバが出力オフ機能（出力をハイインピーダンス状態とする機能）をもつこと、基板の状態において、各画素部に容量をもつことは必須の要件となる。

【0062】図2に示されるように、TFT基板300に内蔵されているデジタルデータ線ドライバ330は、 m ビットシフトレジスタ400と、 u ビットのデータ入力端子(D1～Duと、 $u \times m$ 個のスイッチSW1～SW $u \times m$ と、 $u \times m$ ビットのラッチA（参照番号410）およびラッチB（参照番号420）と、 m ビットD/Aコンバータ430とを具備する。本実施の形態では、D/Aコンバータ430が出力オフ機能を有している。

【0063】また、走査線ドライバ320は、 n ビットシフトレジスタ322を具備する。

【0064】また、アクティブマトリクス部は、複数本のデータ線X1～X m と、複数本の走査線Y1～Y n と、各走査線と各データ線との交点に配置されたTFT(M1)と、蓄積容量（保持容量） C_{s1} とを具備する。この蓄積容量 C_{s1} が存在することにより、基板状態での点欠陥の測定が可能となる。

【0065】なお、TFT基板の状態では液晶容量 C_{LC} は存在しないが、図2では理解の容易を考慮して便宜上、液晶容量 C_{LC} を記載してある。また、蓄積容量 C_{s1} の、TFT(M1)との接続端の反対の端は共通の電位 V_{com} に保持されている。

【0066】(3) 具体的な構成例

①蓄積容量部の構成

図9(a)、(b)に、図2のアクティブマトリクス部の1画素の構成を示す。

【0067】図9(a)はレイアウト構成を示し、(b)はその等価回路を示す。また、図9(a)におけ

るA-A線に沿うデバイスの断面構造が図30(a)に示されている。

【0068】図9(a)において、参照番号5000、5100は走査線を示し、参照番号5200、5300はデータ線を示す。また、参照番号5400は容量線であり、参照番号5500は画素電極である。

【0069】図30(a)から明らかなように、TFTのドレインの延長部5505と、走査線（ゲート電極）5000の形成工程を利用して同時に形成された容量線5400との間にゲート絶縁膜5510と同じ絶縁膜5520が形成されており、また、容量線5400と画素電極5500との間に層間絶縁膜5530が形成されており、これらによって、蓄積容量(C_{s1})5410が構成される。なお、参照番号5600は開口部（光が透過する領域）であり、K1、K2はコンタクト領域である。

【0070】なお、蓄積容量(C_{s1})は、図10(a)、(b)に示すような構成によっても形成することができる。図30(b)には、図10(a)のA-A線に沿うデバイスの断面構造が示されている。

【0071】図9では容量線を別個に設けていたが、図10では、TFTのドレインの延長部を隣接する走査線（ゲート電極）にオーバーラップさせることで蓄積容量を形成している。

【0072】つまり、図10(a)および図30(b)に示すように、ポリシリコンからなるドレインの延長部5700と隣接する走査線（ゲート電極）5100との間にゲート絶縁膜5120と同じ絶縁膜5130が形成されており、また、隣接する走査線5100と画素電極5500との間に層間絶縁膜5140が形成されており、これらによって、蓄積容量5420が形成される。なお、図10(a)において、図9(a)と同等の箇所には同一の参照番号を付してある。

【0073】②D/Aコンバータの構成

図2の m ビットD/Aコンバータ430としては、図11～図14に示される構成のものを使用できる。

【0074】点欠陥の検査を行う際には、画素部の容量に信号を書き込んだ後にD/Aコンバータの出力をオフさせることが必要となるため、図11～図14のD/Aコンバータはいずれも、出力オフ機能（出力をハイインピーダンス状態とする機能）を有している。以下、具体的に説明する。

【0075】容量分割方式のD/Aコンバータ

図11のD/Aコンバータ430は、出力オフ機能付きの容量分割方式のD/Aコンバータである。このコンバータは、重みづけされた容量（2進荷重容量）C1～C8に電荷を蓄積しておき、8ビットの入力データD1～D8が「1」のときに、対応するスイッチ（SW20～SW28）を閉じて、各重みづけされた容量（C1～C8）と結合容量C30との間で電荷の移動を生じせし

め、8ビットの入力データD1～D8に対応した変換電圧を出力端子V_{OUT}に発生させるものである。図11中、スイッチ(SW1～SW8)は容量C1～C8のリセット用スイッチであり、V0はリセット電圧である。また、スイッチC40は結合容量C30のリセットスイッチである。

【0076】スイッチ制御回路6000は、スイッチSW20～SW28を強制的に開状態として出力端子V_{OUT}をフローティング状態(ハインピーダンス状態)とするために設けられている。

【0077】図12に、スイッチSW20の具体的構成を示す。スイッチSW20はnMOSTランジスタM10、pMOSTランジスタM20およびインバータINV1からなるトランスファークロークと、このトランスファークロークに直列に接続されるnMOSTランジスタM30とを具備する。スイッチ制御回路6000は、nMOSTランジスタM30をオフさせることにより、入力データD1に対応した出力をハインピーダンス状態とする。他の入力データに対応した他のスイッチについても同様に、ハインピーダンス状態とすることができる。

【0078】なお、図11、図12ではスイッチ制御回路6000を独立に設け、また、図12ではハインピーダンスとするための専用のトランジスタ(M30)を設けているが、必ずしもこれに限定されるものではない。例えば、図11、図12において、リセット信号等を用いて入力データD1～D8を強制的に「0」に固定することによって、図11のスイッチ(SW20)や図12のトランスファークローク(M10、M20)をオフさせて、出力をハインピーダンス状態とすることもできる。

【0079】抵抗分割方式のD/Aコンバータ

図13に示されるD/Aコンバータ430は、直列接続された抵抗R1～R8の各共通接続点から得られる分圧電圧を、スイッチSW100～SW108の開閉制御により選択して取り出して変換出力V_{OUT}を得るものである。

【0080】スイッチSW100～SW108の開閉は、デコーダ7000の出力により決定される。また、各スイッチSW100～SW108(スイッチ群7100)は、スイッチ制御回路7200の制御によって一括して開状態となり、出力をハインピーダンス状態とすることができるようになっている。

【0081】PWM方式のD/Aコンバータ

図14に示されるD/Aコンバータ430は、PWM回路7502により入力データ値に対応したパルス幅のパルス信号を生成し、そのパルス幅でスイッチ7506のオン時間(閉じた状態となる時間)を制御し、変換出力V_{OUT}を得るものである。なお、参照番号7504はランプ波電源であり、参照番号7400は画像データを一

時的に記憶するラッチ回路である。また、スイッチ制御回路7508の制御により、スイッチ7506を強制的に開状態として出力をハインピーダンス状態とすることが可能である。

【0082】③検査回路の構成

図2の検査回路340としては、図15(a)、(b)および図16に記載のものを使用可能である。なお、「検査回路」の意味は、検査のために使用され、データ線ドライバのようにデータ線の駆動を目的としないという意味であり、他の目的で使用される構成を含むことや回路全体を他の目的に使用することを排除するものではない。

【0083】図15(a)の検査回路342は、データ線X1～Xmの各々に対応してMOSTランジスタを用いたアナログスイッチSW_{X1}～SW_{Xm}を設け、このアナログスイッチSW_{X1}～SW_{Xm}を、シフトレジスタ7600の出力により点順次方式で走査し、出力端子T_{OUT}から検査の基礎となる基礎信号を順次に得るものである。基礎信号は、フルオートプローバ200内のDUTボード220に送られるようになっている。

【0084】図15(b)では、シフトレジスタ7602の1出力で2個のアナログスイッチ(SW_{X1}～SW_{Xm})を駆動するようにしたものであり、基本的には、点順次走査方式を採用している点で図15(a)と共通する。2個のアナログスイッチを同時駆動するので、シフトレジスタのビット数(段数)はm/2ビットで済む。また、基礎信号は、2つの端子T_{OUT1}、T_{OUT2}から得られる。

【0085】図16の検査回路342では点順次走査とは異なる方式を採用している。つまり、m個のアナログスイッチSW_{X1}～SW_{Xm}を駆動する場合に、p個のアナログスイッチを一括して駆動し、その駆動をq回繰返しすることにより、合計でm個(m=p×q)のアナログスイッチの駆動を実現する方式である。

【0086】スイッチ制御回路7300は、制御線G1～Gqを順次にオンさせ、各制御線が1回オンする毎に、出力線L1～Lpの各々から同時に基礎信号が得られる。

【0087】以上説明した検査回路は、いずれもデータ線のドライブ能力を必要とせず、また、画像表示のための高速駆動といった要求もないために、トランジスタサイズは小さくてよく、基本的には、動作可能な最低限の能力さえもっていればよい。したがって、占有面積を極めて小さくでき、TFT基板上に形成することが可能となる。

【0088】図3には、D/Aコンバータ430を点順次駆動も可能なドライバとした場合の、そのD/Aコンバータの出力段のMOSTランジスタのサイズと、検査回路342を構成するMOSTランジスタのサイズとを比較して示す図である。

【0089】すなわち、点順次駆動も可能なD/Aコンバータ430を構成するMOSトランジスタ M_{200} のチャネル幅(W)は少なくとも $1000\mu\text{m}$ 以上必要であり、これに対し、検査回路342を構成するMOSトランジスタ M_{300} のチャネル幅(W)は、 $100\mu\text{m}$ 以下でよい。つまり、検査回路のトランジスタのサイズは、 $1/10$ 以下でよい。

【0090】このようにトランジスタのサイズが小さく、占有面積が少なくすむため、検査回路342の少なくとも一部は、TFT基板の、画像表示等の本質的機能の実現に寄与しないスペース、すなわち、いわゆるデッドスペースに配置することも可能となる。よって、TFT基板や液晶表示装置の大型化を抑制できる。

【0091】例えば、検査回路342は、図4に示すように、TFT基板のパネル工程における封止材(シール材)による封止位置に配置することができる。図4では、理解の容易のために完成した液晶表示装置の断面構成を描いてある。

【0092】図4において、参照番号500はガラス基板であり、参照番号510は SiO_2 膜であり、参照番号520はゲート絶縁膜であり、参照番号530、540は層間絶縁膜であり、参照番号522、524はソース・ドレイン層であり、参照番号526はゲート電極である。

【0093】検査回路を構成するMOSトランジスタ M_{300} は、封止材(シール材)550による封止領域A1に配置されている。封止材による封止位置は、アクティブマトリクス基板において必然的に生じるデッドスペースであり、このスペースに検査回路を配置することにより、スペースの有効活用を図ることができる。

【0094】なお、図4中、参照番号560は対向基板であり、参照番号570、572は配向膜であり、参照番号574は液晶である。

【0095】(4) TFT基板の検査手順

④概要

TFT基板の検査は、図5に示されるように、大別して、信号線の断線検出ならびにD/Aコンバータの出力検査工程(予備的検査工程、ステップ600)と、点欠陥の検査工程(ステップ610)とに分かれる。

【0096】信号線の断線検出ならびにD/Aコンバータの出力検査(ステップ600)は、デジタルデータ線ドライバに対向して検査回路を設けるという、本実施の形態のアクティブマトリクス基板(図1、図2)の基本的構成により可能となる検査であり、図1、図2に示されるデジタルデータ線ドライバ330の全出力をオンさせ、検査回路340によりその出力を受信することにより、原則的に1回のスキャンで容易に検査することができる。

【0097】例えば、データ線を介してデータ線ドライバの出力信号が何も伝達されてこない場合には、データ

線が断線しているかデータ線ドライバ自体に欠陥があることになる。点欠陥の検査工程(ステップ610)については後述する。

【0098】②具体的な検査手順

図6に具体的な検査手順の例を示す。

【0099】図6のフローチャートでは、検査時間の短いものから順に検査するという方式を採用し、かつ必要な全ての工程について検査するようにしている。但し、これに限定されるものではなく、不良が発見された時点で以後の検査を中止することも可能である。

【0100】以下、図6の検査手順について順をおって説明する。

【0101】まず、未検査TFT基板の有無を調べ(ステップ700)、未検査TFT基板が有る場合にはその基板を図1のシステムにアラインメント(装着)し(ステップ710)、図1のフルオートプローバ220によるプロービングを行う(ステップ720)。

【0102】そして、まず、ドライバ消費電流の測定を行う(ステップ730)。このステップでは、データ線、走査線ドライバ(および検査回路)の供給電源に流れる消費電流が正常の範囲にあるかどうかを判定する。電源間に短絡があると、過大な電流が流れるので、これにより判定が可能である。

【0103】次に、走査線ドライバのエンドパルスの測定を行う(ステップ740)。つまり、シフトレジスタの初段にパルスを入力し、そのパルスが所定のタイミングで最終段から出力されるかを判定する。デジタル信号であるので瞬時に判定可能である。

【0104】次に、データ線ドライバのエンドパルスを、走査線ドライバの場合と同様に測定する(ステップ750)。

【0105】次に、データ線(信号線)および走査線の短絡検査を実行する(ステップ760)。

【0106】つまり、走査ドライバの全出力をハイレベルとし、検査回路の各スイッチもオン状態として、走査線ドライバから検査回路に流れる電流を測定する。もし、配線間に短絡があると、過大な電流が流れることになる。

【0107】次に、データ線(信号線)および走査線の断線検査を実行する(ステップ770)。

【0108】つまり、デジタルドライバの全出力をハイレベルとし、検査回路のスイッチを順番に閉じて電流の変化を検出する。もし断線があると、流れる電流が減少するので判別が可能である。

【0109】次に、D/Aコンバータの出力測定を行う(ステップ780)。

【0110】点欠陥の検査を行う前に、D/Aコンバータの全出力についての検査を行うものである。この検査では、その精度を高めるために、白、黒、中間調といった複数階調の信号について出力レベルが適正か否かを調

べるのが望ましい。

【0111】具体的には、設定されたレベルの電圧を全データ線（信号線）に出力し、一定時間後にD/Aコンバータの出力をハイインピーダンス状態とし、検査回路を用いて各データ線（信号線）の電圧を検出する。

【0112】次に、点欠陥の測定を行う（ステップ790）。

【0113】この点欠陥の測定は、より具体的には、図7に示されるような手順により行われる。すなわち、まず、デジタルデータ線ドライバの全出力をオンさせて、設定されたレベルの電圧を全データ線（信号線）に出力させて、画素部の蓄積容量に信号を書き込む（ステップ900）。次に、デジタルデータ線ドライバのD/Aコンバータの出力をハイインピーダンス状態とする（ステップ910）。次に、検査回路のスイッチを閉じた状態で走査線を一本ずつ選択し、1画素分ずつの電位の変動量を検出する（ステップ920）。そして、必要に応じて、複数回の検出（ステップ930）や、書き込み条件を異ならせての検出（ステップ940）を実行する。

【0114】以上の各ステップにおいて、異常（不良）が発見された場合には、必要に応じて、不良アドレスの検出を行い、良否判定の際の基礎データとする（図6のステップ800）。

【0115】以上のステップにより、検査の基礎となる基礎データが得られたので、最後に、基礎データに基づき、総合的に良否判定を行う（図6のステップ810）。

【0116】良否判定は例えば、図8に示されるように、基礎データのTFT基板面における二次元的分布を考察し、周囲に対して極端に異なる数値を示す箇所（特異点）がないかどうかを調べたり（ステップ960）、サンプルデータとの比較により異常を調べる（ステップ970）等により、総合的に判断される。

【0117】そして、以上の検査工程を、他の未検査チップについて順次に行っていく（図6のステップ820、830）。

【0118】このように、本実施の形態によれば、デジタルデータ線ドライバを搭載したアクティブマトリクス基板の良品検査を、短時間で高精度に行うことができる。

【0119】（第2の実施の形態）図17を用いて、本発明の第2の実施の形態について説明する。

【0120】本実施の形態の特徴は、デジタルデータ線ドライバおよび検査回路を上下に2分割して配置し、しかも、上下に分割された各回路が互いに入り組んで配置されてコンパクトな構成となっていることである。

【0121】つまり、図17に明示されるとおり、デジタルデータ線ドライバは、第1のドライバ8000Aと第2のドライバ8000Bに2分割されている。データ線ドライバ自体の構成は図2と同じであるが、2分割さ

れたことにより、各ドライバのビット数は図2の場合の1/2となっている。

【0122】また、検査回路も、第1の回路8100Aと第2の回路8100Bとに2分割されている。そして、第1の回路8100Aは、偶数番のデータ線（X2, X4, ..., X_m）に接続されており、第2の回路8100Bは、奇数番のデータ線（X1, X3, ..., X_{m-1}）に接続されている。図17中、参照番号S1, S2, S3, S4, S_m, S_{m-1}はアナログスイッチを示し、参照番号8102, 8104はシフトレジスタの1段分の構成を示す。

【0123】本実施の形態のように、ドライバや検査回路を分割することにより、以下の種々の効果を得ることができる。

【0124】すなわち、ドライバや検査回路を分割したことにより、各回路を構成する素子数が1/2となり、それだけ占有面積が減り、また余裕をもった素子の配置が可能となる。

【0125】さらに、シフトレジスタの段数が半分となることにより動作周波数も1/2にでき、回路設計上有利である。

【0126】さらに、回路の分割は、回路を画素部の周囲に均等に配置できることにつながり、これにより、デッドスペースの有効利用が可能となる。例えば、図4で説明した封止材（シール材）直下のデッドスペースを活用する際に有利となる。

【0127】つまり、封止材（シール材）は基板に余分な応力を与えないように、基板面の周囲に均等の幅で接するように設けられるものであり、したがって、回路が分割され、しかも各回路の素子数が低減されていることは、封止材の直下のデッドスペースの利用効率を高めるのに役立つからである。

【0128】特に、検査回路の素子サイズはドライバの素子サイズより小さいので、検査回路の分割によって、さらに省スペースとなり、レイアウト設計上有利である。

【0129】図19にアクティブマトリクス基板（TFT基板上）における、検査回路等の配置例を示す。なお、図19にはアクティブマトリクス基板上におけるドライバ等のレイアウトのみならず、そのTFT基板を用いて製造された液晶パネルの縦断面および横断面も併せて示してある。

【0130】図19において、参照番号9100はアクティブマトリクス基板（TFT基板）であり、参照番号8000A, 8000Bは、デジタルデータ線ドライバおよび検査回路であり、参照番号320は走査線ドライバである。また、参照番号8300は遮光パターンを示し、そのパターンの内部がアクティブマトリクス部（画素部）である。また、参照番号8400は実装端子部であり、参照番号9200は封止材（シール材）であり、

参照番号574は液晶であり、参照番号9000は対向基板（カラーフィルタ基板）である。

【0131】図19から明らかなように、走査線ドライバ、データ線ドライバならびに検査回路はいずれもアクティブマトリクス基板の周囲のデッドスペースを有効に利用して配置されている。したがって、封止材による封止位置のデッドスペースを有効に活用するのに適している。

【0132】図19に示されるは液晶パネル（アクティブマトリクス基板9100）は、例えば、図18に示されるような切断工程を経て製造される。

【0133】つまり、図18では、アクティブマトリクス基板（TFT基板）9100と対向基板（カラーフィルタ基板）9000とを大判張り合わせ方式により張り合わせた後、切断して6個のパネルを製造する。図18中、1点鎖線で示す切断線（L10、L11、L30、L31、L32、L33）は、アクティブマトリクス基板と対向基板とを同時に切断する線である。また、点線で示される切断線（L20、L21）は対向基板のみを切断する線である。

【0134】（第3の実施の形態）本実施の形態では、図20～図26を用いて、アクティブマトリクス基板上に薄膜トランジスタ（TFT）を製造する方法（低温ポリシリコン技術を用いた製造方法）について説明する。

【0135】なお、図20～図26の製造プロセスでは、容量（コンデンサ）も併せて製造することになっている。したがって、このプロセスは、検査回路やドライバのシフトレジスタ等の製造のみならず、図11の容量分割方式のD/A変換器を製造する場合にも使用できるものである。

【0136】工程1

まず、図20に示すように基板4000上にバッファ層4100を設け、そのバッファ層4100上にアモルファスシリコン層4200を形成する。

【0137】工程2

次に、図21に示すように、アモルファスシリコン層4200の全面にレーザー光を照射してアニールを施すことによりアモルファスシリコンを多結晶化し、多結晶シリコン層4220を形成する。

【0138】工程3

次に、図22に示すように多結晶シリコン層4220をパターンニングして、アイランド領域4230、4240、4250を形成する。アイランド領域4230、4240は、MOSTランジスタの能動領域（ソース、ドレイン）が形成される層である。また、アイランド領域4250は、薄膜容量の一極となる層である。

【0139】工程4

次に、図23に示すように、マスク層4300を形成し、アイランド領域4250のみにリン（P）イオンを打ち込み、低抵抗化する。

【0140】工程5

次に、図24に示すように、ゲート絶縁膜4400を形成し、そのゲート絶縁膜上にTa₂N₅層4500、4510、4520を形成する。Ta₂N₅層4500、4510はMOSTランジスタのゲートとなる層であり、Ta₂N₅層4520は薄膜容量の他極となる層である。その後、マスク層4600を形成し、ゲートTa₂N₅層4500をマスクとして、セルフアラインでリン（P）をイオン打ち込みし、n型のソース層4231、ドレイン層4232を形成する。

【0141】工程6

次に、図25に示すように、マスク層4700a、4700bを形成し、ゲートTa₂N₅層4510をマスクとして、セルフアラインでボロン（B）をイオン打ち込みし、p型のソース層4241、ドレイン層4242を形成する。

【0142】工程7

その後、図26に示すように、層間絶縁膜4800を形成し、その層間絶縁膜にコンタクトホールを形成した後、ITOやAlからなる電極層4900、4910、4920、4930を形成する。なお、図26では図示されないが、Ta₂N₅層4500、4510、4520や多結晶シリコン層4250にもコンタクトホールを介して電極が接続される。これにより、nチャネルTFT、pチャネルTFTおよびMOS容量が完成する。

【0143】以上のべたような、工程を共通化した製造プロセスを用いることにより製造が容易化され、コスト面でも有利となる。また、ポリシリコンはアモルファスシリコンに比べてキャリアの移動度が格段に大きいので高速動作が可能であり、回路の高速化の面で有利である。

【0144】そして、上述の検査方法を用いて良品判定を確実にするため、完成した製品の信頼度も極めて高くでき、したがって、高品質の製品の市場への投入が可能となる。

【0145】なお、上述の製造プロセスでは低温ポリシリコンTFT技術を用いているが、製造方法は必ずしもこれに限定されるものではない。例えば、回路の所定の動作速度が保証されれば、アモルファスシリコンを用いたプロセスも使用可能である。また、画素部のスイッチング素子としては、TFTの他に、MIMのような2端子素子も使用できる。

【0146】（第4の実施の形態）本実施の形態では、本発明のアクティブマトリクス基板を用いて製造された液晶パネルや、そのパネル等を用いた電子機器の例について説明する。いずれも高品質の装置である。

【0147】①液晶表示装置（図27）

液晶表示装置は、例えば、図27に示すように、バックライト2000、偏光板2200、TFT基板2300と、液晶2400と、対向基板（カラーフィルタ基板）

2500と、偏光板2600とからなる。本実施の形態では、上述のとおり、TFT基板1300上に駆動回路2310（ならびに検査回路）を形成している。

【0148】②パーソナルコンピュータ（図28）

図28に示すパーソナルコンピュータ1200は、キーボード1202を備えた本体部1204と、液晶表示画面1206とを有する。

【0149】③液晶プロジェクタ（図29）

図29に示される液晶プロジェクタ1100は、透過型液晶パネルをライトバルブとして用いた投写型プロジェクタであり、例えば3板プリズム方式の光学系を用いている。

【0150】図29において、プロジェクタ1100では、白色光源のランプユニット1102から射出された投写光がライトガイド1104の内部で、複数のミラー1106および2枚のダイクロイックミラー1108によってR、G、Bの3原色に分けられ、それぞれの色の画像を表示する3枚の液晶パネル1110R、1110Gおよび1110Bに導かれる。そして、それぞれの液晶パネル1110R、1110Gおよび1110Bによって変調された光は、ダイクロイックプリズム1112に3方向から入射される。ダイクロイックプリズム1112では、レッドRおよびブルーBの光が90°曲げられ、グリーンGの光が直進するので各色の画像が合成され、投写レンズ1114を通してスクリーンなどにカラー画像が投写される。

【0151】その他、本発明を適用可能な電子機器としては、エンジニアリング・ワークステーション（EWS）、ページャあるいは携帯電話、ワードプロセッサ、テレビ、ビューファインダ型又はモニタ直視型のビデオテープレコーダ、電子手帳、電子卓上計算機、カーナビゲーション装置、POS端末、タッチパネルを備えた装置などを挙げることができる。

【0152】

【図面の簡単な説明】

【図1】本発明のアクティブマトリクス基板の検査方法の一例を実行するための装置の全体構成を示す図である。

【図2】本発明のアクティブマトリクス基板に実装されている回路の構成例を示す図である。

【図3】図2におけるD/Aコンバータを構成するトランジスタのサイズと、検査回路を構成するトランジスタのサイズとを模式的に比較して示す図である。

【図4】検査回路を封止材の下に配置した例を示す、液晶表示装置の要部の断面図である。

【図5】本発明のアクティブマトリクス基板の検査方法の一実施例の、概要を示すフローチャートである。

【図6】本発明のアクティブマトリクス基板の検査方法の一実施例の、より具体的な内容を説明するためのフローチャートである。

【図7】図6中の、点欠陥測定の内容をより具体的に示すフローチャートである。

【図8】図6中の、要否判定の内容をより具体的に示すフローチャートである。

【図9】（a）はアクティブマトリクス部の一画素の構成の一例を示す平面図であり、（b）は（a）の等価回路図である。

【図10】（a）はアクティブマトリクス部の一画素の構成の他の例を示す平面図であり、（b）は（a）の等価回路図である。

【図11】本発明で使用可能な容量分割方式のD/Aコンバータの構成例の概要を説明するための図である。

【図12】図11の容量分割方式のD/Aコンバータの要部の回路構成例を示す図である。

【図13】本発明で使用可能な抵抗分割方式のD/Aコンバータの構成例の概要を説明するための図である。

【図14】本発明で使用可能なPWM方式のD/Aコンバータの構成例の概要を説明するための図である。

【図15】（a）、（b）はそれぞれ、図1、図2に示される検査回路の一例の概要を説明するための図である。

【図16】図1、図2に示される検査回路の構成の他の例の概要を説明するための図である。

【図17】本発明のアクティブマトリクス基板に実装される回路の他の構成例を示す図である。

【図18】アクティブマトリクス基板の製造のためにガラス基板を切断する場合の位置を示す図である。

【図19】走査線駆動回路、データ線駆動回路、検査回路等のレイアウトの一例を示す図である。

【図20】本発明のアクティブマトリクス基板の製造方法の一例の、第1の工程を示す図である。

【図21】本発明のアクティブマトリクス基板の製造方法の一例の、第2の工程を示す図である。

【図22】本発明のアクティブマトリクス基板の製造方法の一例の、第3の工程を示す図である。

【図23】本発明のアクティブマトリクス基板の製造方法の一例の、第4の工程を示す図である。

【図24】本発明のアクティブマトリクス基板の製造方法の一例の、第5の工程を示す図である。

【図25】本発明のアクティブマトリクス基板の製造方法の一例の、第6の工程を示す図である。

【図26】本発明のアクティブマトリクス基板の製造方法の一例の、第7の工程を示す図である。

【図27】本発明のアクティブマトリクス基板を用いた液晶表示装置の構成を示す図である。

【図28】本発明のアクティブマトリクス基板を用いた電子機器の一例（ラップトップコンピュータ）の構成を示す図である。

【図29】本発明のアクティブマトリクス基板を用いた電子機器の他の例（液晶プロジェクタ）の構成を示す図

である。

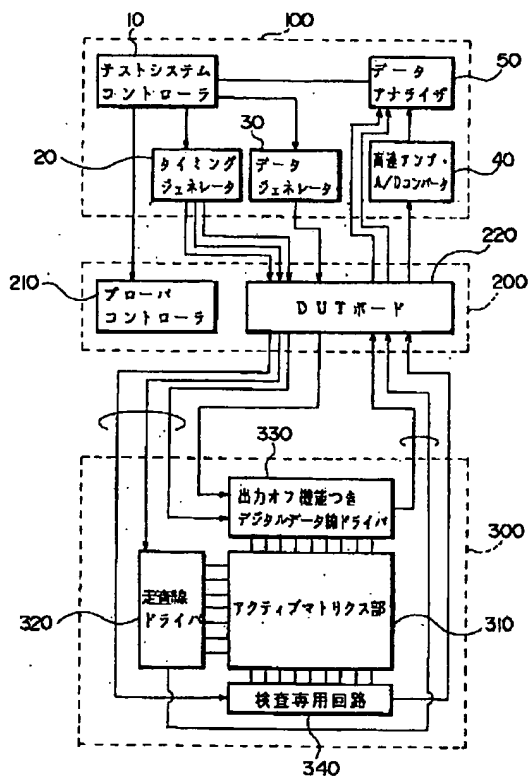
【図30】(a)は図9(a)に示されるデバイスのA-A線に沿う断面構造を示す図であり、(b)は図10(a)に示されるデバイスのA-A線に沿う断面構造を示す図である。

【符号の説明】

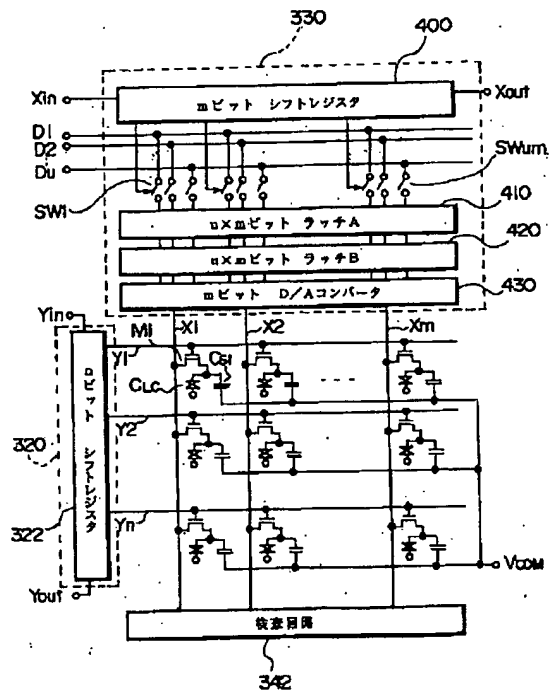
- 10 テストシステムコントローラ
20 タイミングジェネレータ
30 データジェネレータ
40 高速アンプ、A/Dコンバータ

- 100 アクティブマトリクス基板テスト
200 フルオートプローバ
210 プローバコントローラ
220 DUTボード
300 アクティブマトリクス基板
310 アクティブマトリクス部
320 走査線ドライバ
330 出力オフ機能付きデジタルデータ線ドライバ
340 検査回路

【図1】

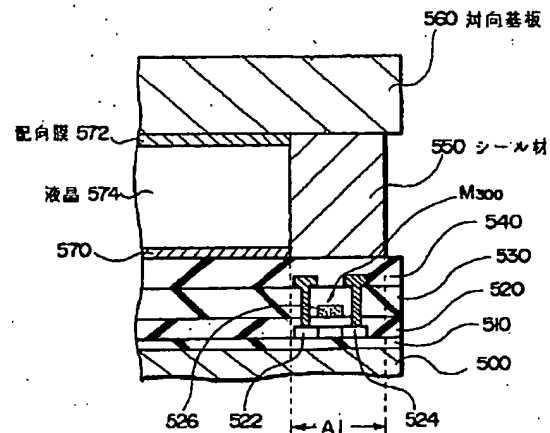
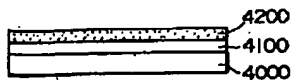


【図2】

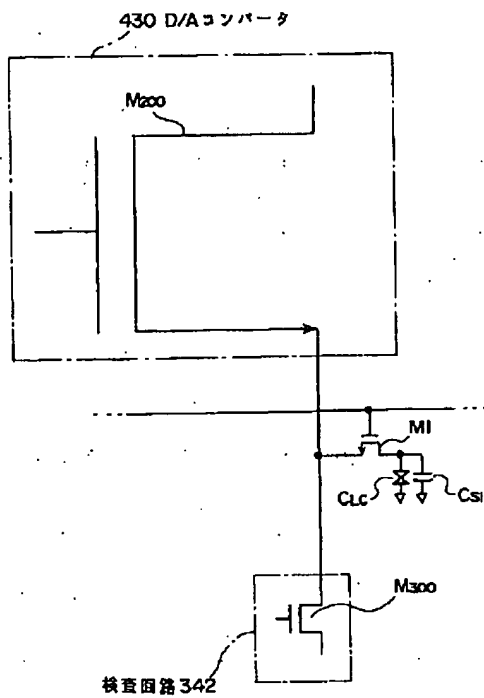


【図4】

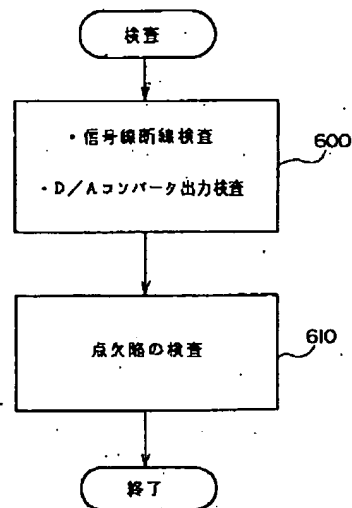
【図20】



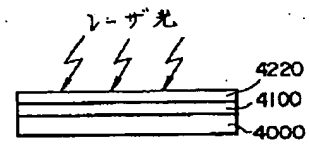
【図3】



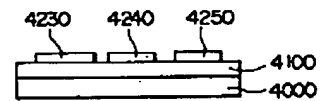
【図5】



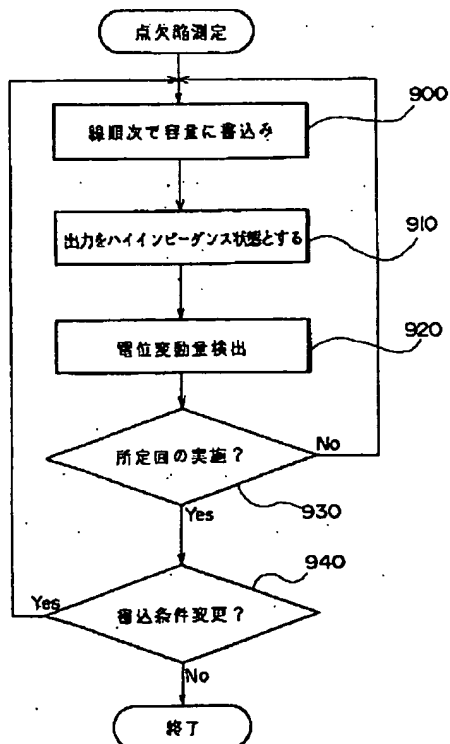
【図21】



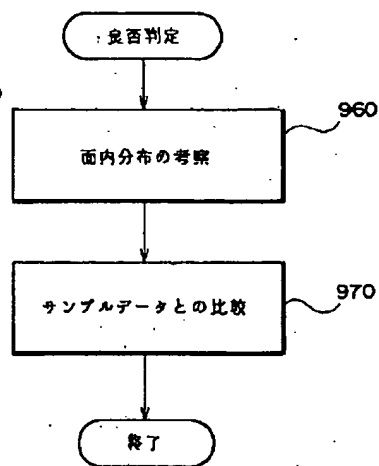
【図22】



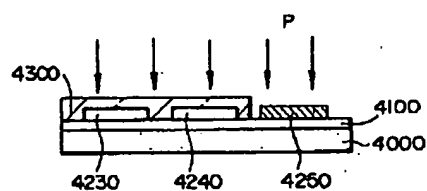
【図7】



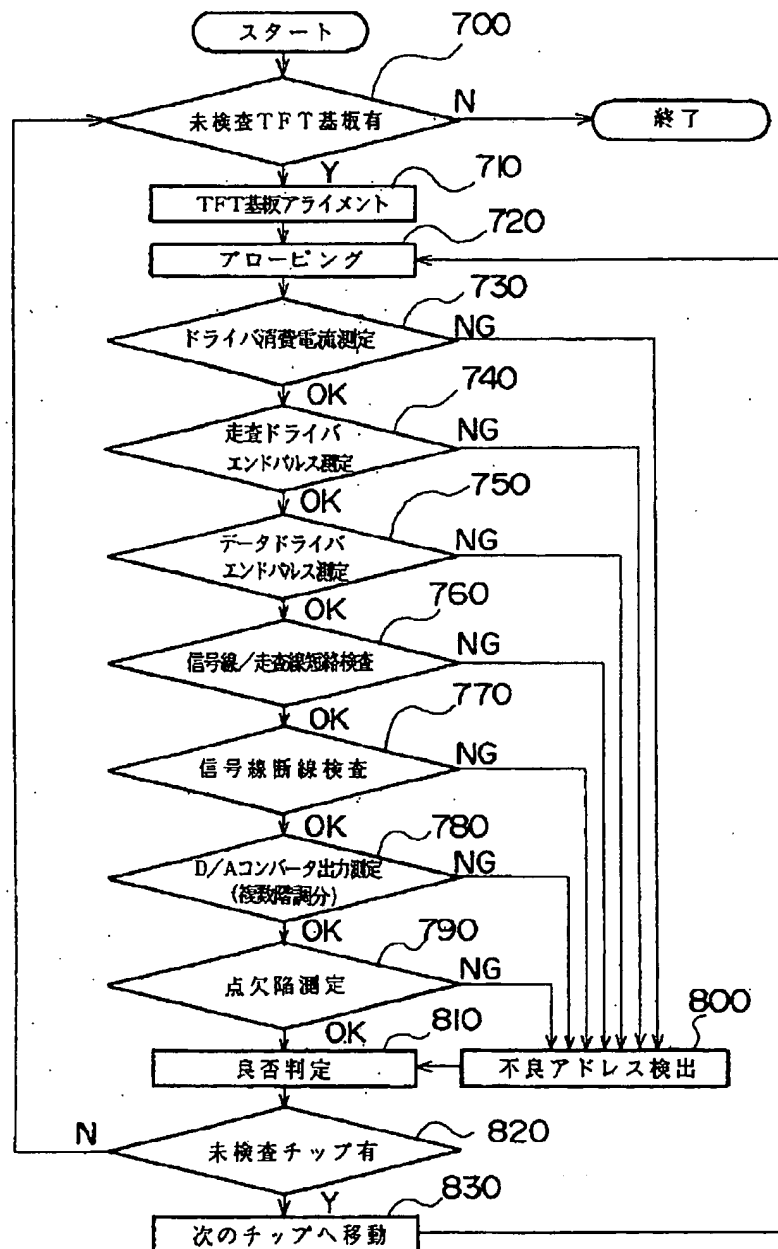
【図8】



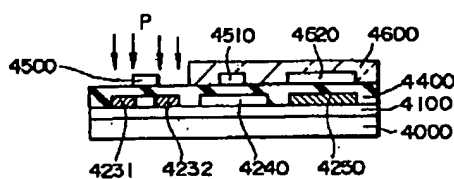
【図23】



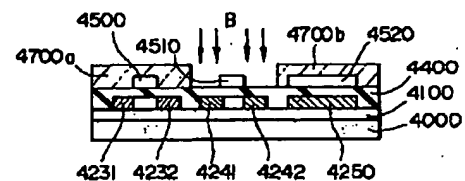
【図6】



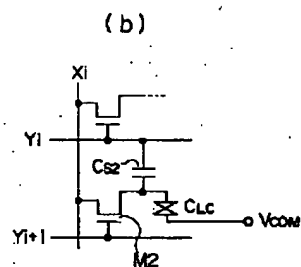
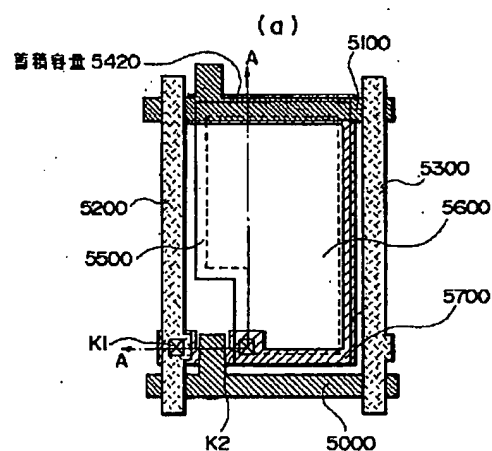
【例24】



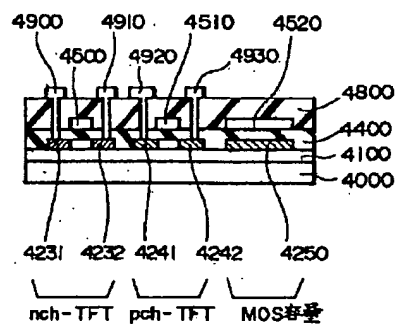
【图25】



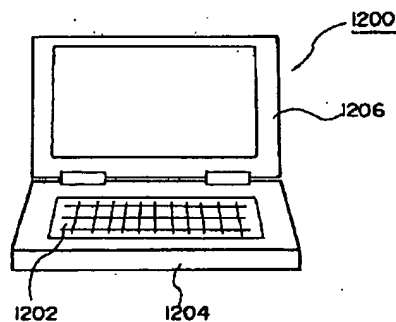
【図10】



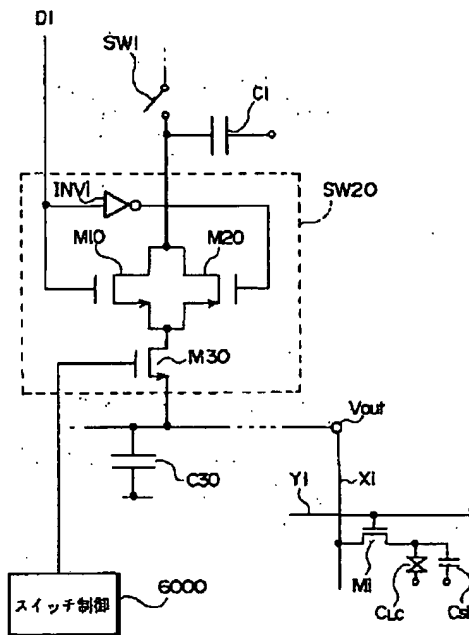
【图26】



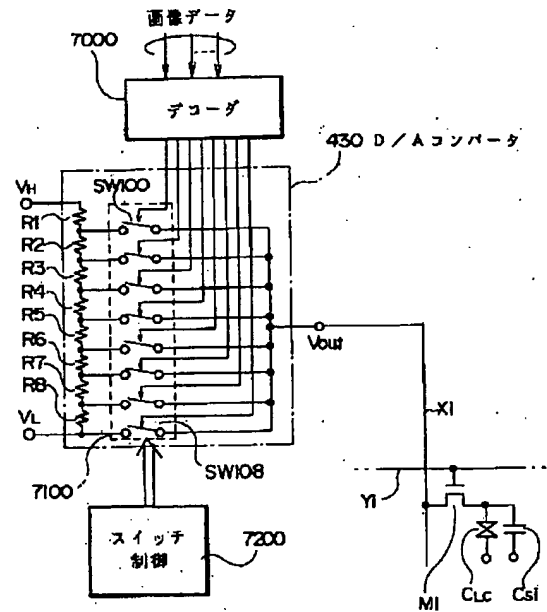
【図28】



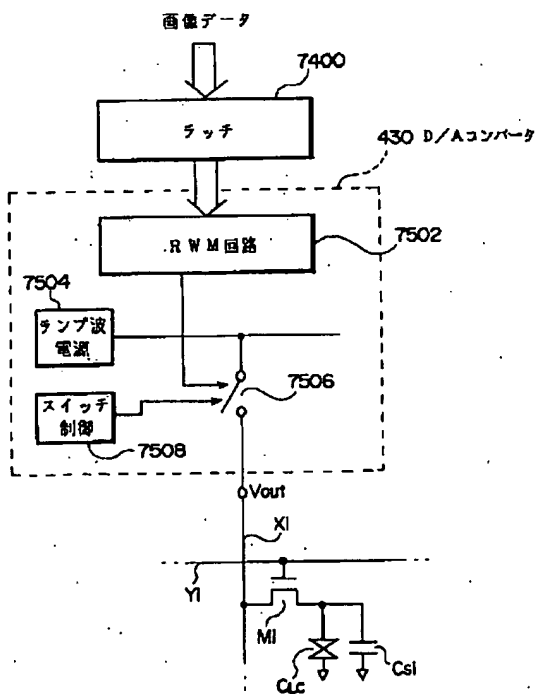
【図12】



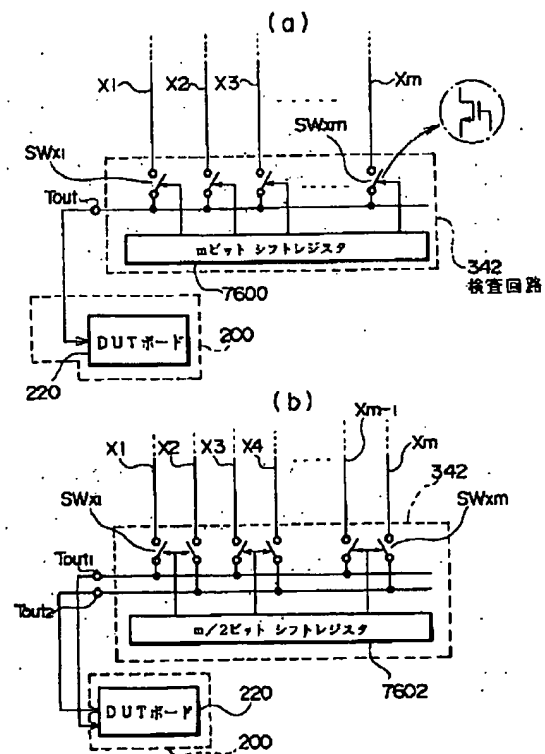
【図13】



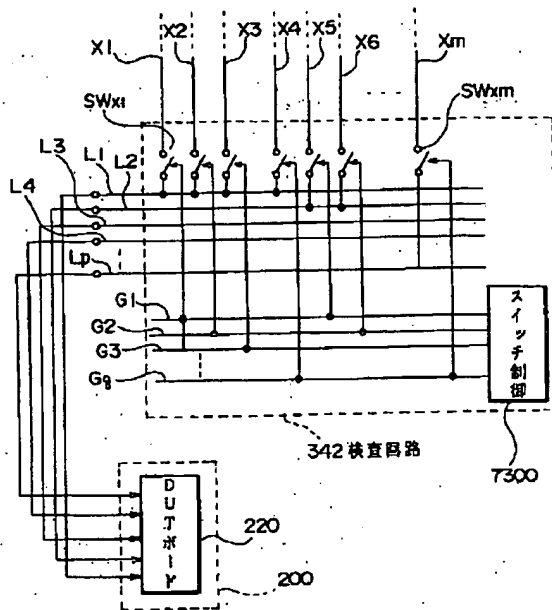
【図14】



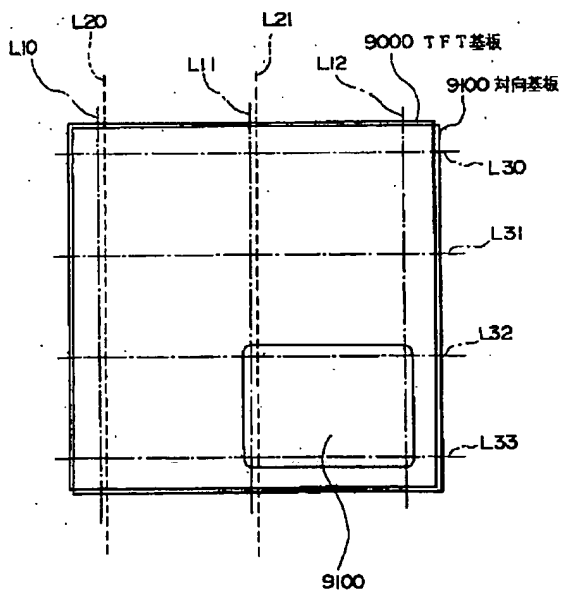
【図15】



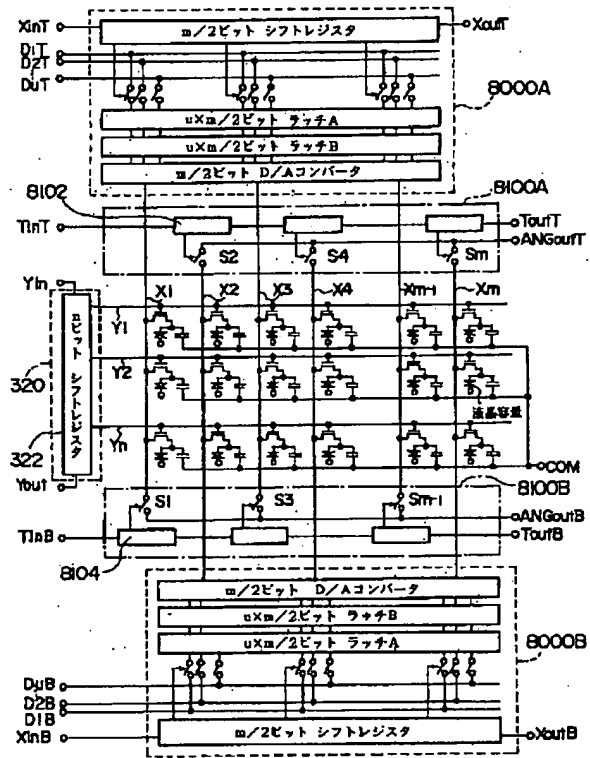
【图16】



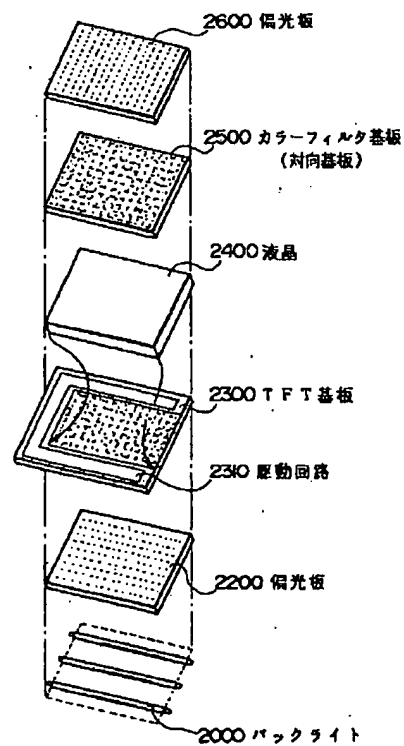
【図18】



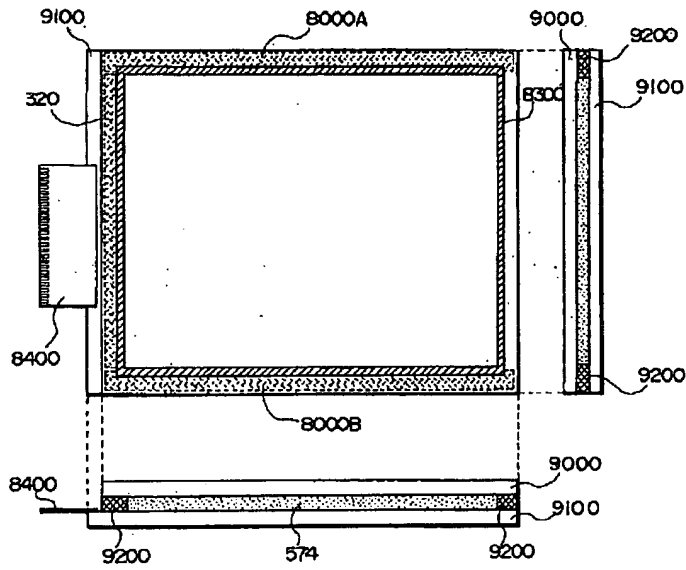
【図 17】



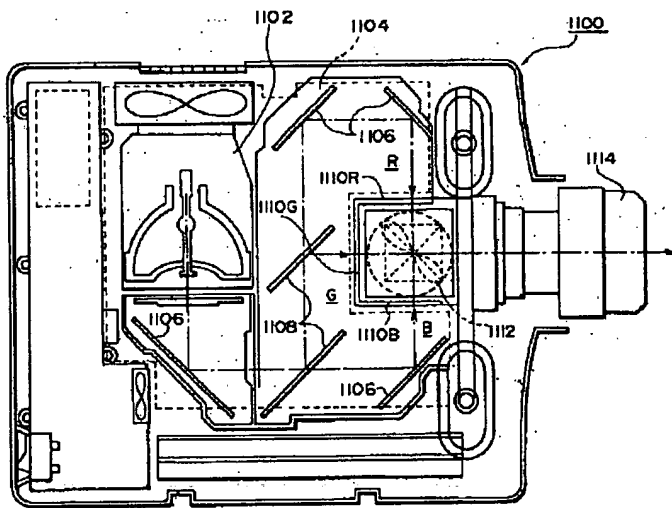
【図27】



【図19】



【図29】



【図30】

